

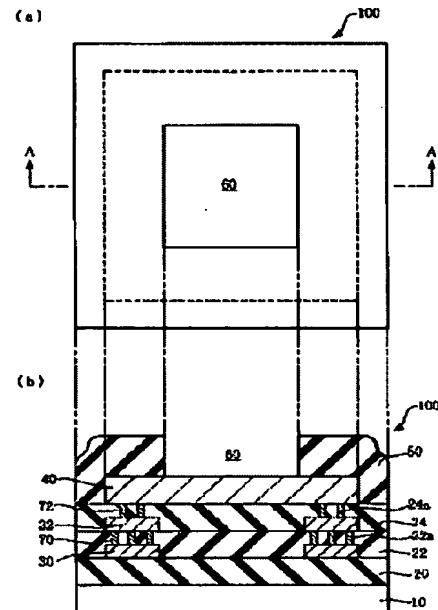
SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR**Publication number:** JP2002222811**Publication date:** 2002-08-09**Inventor:** FURUHATA TOMOYUKI**Applicant:** SEIKO EPSON CORP**Classification:****- international:** H01L23/52; H01L21/3205; H01L21/60; H01L21/768; H01L23/485; H01L23/52; H01L21/02; H01L21/70; H01L23/48; (IPC1-7): H01L21/3205; H01L21/60; H01L21/768**- european:** H01L23/485A**Application number:** JP20010015671 20010124**Priority number(s):** JP20010015671 20010124**Also published as:**

US6828681 (B2)

US2002121701 (A1)

Report a data error here**Abstract of JP2002222811**

PROBLEM TO BE SOLVED: To provide a semiconductor device and a manufacturing method in which generation of cracks is suppressed in the inter-insulation layer under a wiring layer that a pad opening reaches. **SOLUTION:** This semiconductor device is provided with a protective insulation layer 50, the pad opening 60 provided in the protective insulation layer 50, and the wiring layer that the pad opening ends at. First and second wiring layers 30 and 32 are provided on a level below the wiring layer 40 that the pad opening ends at. The first and second wiring layers 30 and 32 at the level below the wiring layer 40 that the pad opening ends at are formed on the outside of the area of the pad opening 60 in a plane view.

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-222811
(P2002-222811A)

(43)公開日 平成14年8月9日 (2002.8.9)

(51) Int.Cl. ⁷	識別記号	F I	マークコード(参考)
H 01 L 21/3205		H 01 L 21/60	3 0 1 P 5 F 0 3 3
21/60	3 0 1	21/88	T 5 F 0 4 4
21/768		21/90	A

審査請求 有 請求項の数11 O L (全 7 頁)

(21)出願番号 特願2001-15671(P2001-15671)

(22)出願日 平成13年1月24日 (2001.1.24)

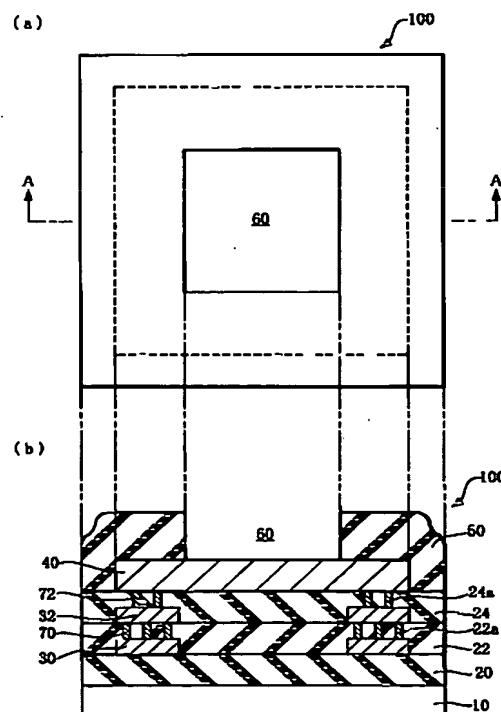
(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 古畑 智之
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内
(74)代理人 100090479
弁理士 井上 一 (外2名)
Fターム(参考) 5F033 HH08 HH18 HH33 JJ18 JJ19
JJ33 KK08 MM05 MM08 MM13
NN06 NN07 QQ03 QQ08 QQ31
QQ37 QQ48 RR04 TT03 UU05
VV07 XX05 XX17
5F044 EE06 EE11

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】 (修正有)

【課題】 パッド開口部が達している配線層の下方の層間絶縁層においてクラックが生じるのが抑えられた半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置は、保護絶縁層50と、保護絶縁層50において設けられたパッド開口部60と、パッド開口部が達している配線層と含む。パッド開口部が達している配線層40より下のレベルにおいて第1および第2の配線層30, 32が設けられている。パッド開口部が達している配線層40より下のレベルの第1および第2の配線層30, 32は、平面的にみてパッド開口部60の領域外において形成されている。



【特許請求の範囲】

【請求項1】 保護絶縁層と、
前記保護絶縁層において設けられたパッド開口部と、
前記パッド開口部が達している配線層とを含み、
前記パッド開口部が達している配線層より下のレベルに
において配線層が設けられ、
前記パッド開口部が達している配線層より下のレベルの
配線層は、平面的にみて前記パッド開口部の領域外にお
いて形成されている、半導体装置。

【請求項2】 請求項1において、
前記パッド開口部が達している配線層は、1層からなる、
半導体装置。

【請求項3】 請求項1において、
前記パッド開口部が達している配線層は、2層からなる、
半導体装置。

【請求項4】 請求項1～3のいずれかにおいて、
前記パッド開口部が達している配線層は、その厚さが、
該パッド開口部が達している配線層より下のレベルの配
線層より厚い、半導体装置。

【請求項5】 半導体層の上方に第1の層間絶縁層を介
して形成された第1の配線層と、
前記第1の配線層の上方に第2の層間絶縁層を介して形成
された、パッド部となる第2の配線層と、
前記第2の配線層および前記第2の層間絶縁層上に形成
された保護絶縁層と、
前記保護絶縁層に形成されたパッド開口部と、を有する
半導体装置であって、
前記第1の層間絶縁層の上面は、鉛直上方に前記保護絶
縁層が形成される第1の領域を有し、
前記第1の配線層は、前記第1の領域上に形成されてな
る、半導体装置。

【請求項6】 請求項5において、
前記第1の層間絶縁層の上面は、鉛直上方に前記パッド
開口部が形成される第2の領域をさらに有し、
前記第2の領域上には、主として絶縁層が形成されてな
る、半導体装置。

【請求項7】 請求項5または6において、
前記第1の配線層は、同一層に複数の配線層をさらに有
し、
前記複数の配線層は、前記第1の領域上に形成されてな
る、半導体装置。

【請求項8】 (a) 層間絶縁層の上に、配線層を形成
する工程、(b) 前記層間絶縁層および前記配線層の上
に、保護絶縁層を形成する工程、および(c) 前記保護
絶縁層において、前記配線層に達するパッド開口部を形
成する工程、を含む、半導体装置の製造方法であって、
前記半導体装置は、前記パッド開口部が達している配
線層より下のレベルに形成された配線層を含み、
前記パッド開口部は、前記パッド開口部が達している配
線層より下のレベルの配線層が、平面的にみて該パッド

開口部の領域外において配置されるように、形成され
る、半導体装置の製造方法。

【請求項9】 請求項8において、
前記パッド開口部が達している配線層は、1層からなる、
半導体装置の製造方法。

【請求項10】 請求項8において、
前記パッド開口部が達している配線層は、2層からなる、
半導体装置の製造方法。

【請求項11】 請求項8～10のいずれかにおいて、
前記パッド開口部が達している配線層は、その厚さが、
該パッド開口部が達している配線層より下のレベルの配
線層より厚い、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ボンディングパッ
ド領域を有する半導体装置およびその製造方法に関する
もの。

【0002】

【背景技術】 現在、半導体装置の微細化の進展に伴い、
半導体装置において配線層が多層にわたって形成されて
いる。半導体装置は、一般に、配線層の最上層に達する
パッド開口部が設けられ、そのパッド開口部において、
外部と配線層の最上層の電気的接続が果たされる。

【0003】 図9に、半導体装置のパッド形成領域を模
式的に示す断面図を示す。一般に、パッド開口部が達し
ている配線層340より下のレベルの配線層332, 3
30は、パッド開口部360の下方の領域においても形成
されている。しかし、パッド開口部360の下方の領域
において、配線層332, 330を形成すると、図10
に示すように、パッド開口部360においてワイヤボン
ディングを行う際に、層間絶縁層322, 324において
クラック310が生じる場合がある。

【0004】

【発明が解決しようとする課題】 本発明の目的は、パッ
ド開口部が達している配線層の下方の層間絶縁層におい
てクラックが生じるのが抑えられた半導体装置およびそ
の製造方法を提供することにある。

【0005】

【課題を解決するための手段】(半導体装置)

(A) 本発明の第1の半導体装置は、保護絶縁層と、前
記保護絶縁層において設けられたパッド開口部と、前記
パッド開口部が達している配線層とを含み、前記パッド
開口部が達している配線層より下のレベルにおいて配線
層が設けられ、前記パッド開口部が達している配線層より
下のレベルの配線層は、平面的にみて前記パッド開口
部の領域外において形成されている。

【0006】 ここで、「パッド開口部が達している配
線層より下のレベルにある配線層」とは、パッド開口部が
達している配線層が形成されている層間絶縁層より下方
にある層間絶縁層に形成された配線層をいう。

【0007】本発明においては、パッド開口部が達している配線層より下のレベルにある配線層は、平面的にみてパッド開口部の領域外において形成されている。すなわち、パッド開口部が達している配線層より下のレベルにある配線層は、パッド開口部の下方の領域には形成されていない。このため、ワイヤボンディングの際に、パッド開口部が達している配線層に衝撃が加わっても、その衝撃を層間絶縁層で受けることができる。その結果、パッド開口部が達している配線層の下方の層間絶縁層においてクラックが生じるのを抑えることができる。

【0008】前記パッド開口部が達している配線層は、1層からなる態様、または、2層からなる態様をとることができる。

【0009】前記パッド開口部が達している配線層は、その厚さが、該パッド開口部が達している配線層より下のレベルの配線層より厚くすることができる。

【0010】(B) 本発明の第2の半導体装置は、半導体層の上方に第1の層間絶縁層を介して形成された第1の配線層と、前記第1の配線層の上方に第2の層間絶縁層を介して形成された、パッド部となる第2の配線層と、前記第2の配線層および前記第2の層間絶縁層上に形成された保護絶縁層と、前記保護絶縁層に形成されたパッド開口部と、を有する半導体装置であって、前記第1の層間絶縁層の上面は、鉛直上方に前記保護絶縁層が形成される第1の領域を有し、前記第1の配線層は、前記第1の領域上に形成されてなる。

【0011】前記第1の層間絶縁層の上面は、鉛直上方に前記パッド開口部が形成される第2の領域をさらに有し、前記第2の領域上には、主として絶縁層が形成されてなることができる。

【0012】前記第1の配線層は、同一層に複数の配線層をさらに有し、前記複数の配線層は、前記第1の領域上に形成されてなることができる。

【0013】(半導体装置の製造方法)

(a) 層間絶縁層の上に、配線層を形成する工程、
(b) 前記層間絶縁層および前記配線層の上に、保護絶縁層を形成する工程、および (c) 前記保護絶縁層において、前記配線層に達するパッド開口部を形成する工程、を含む、半導体装置の製造方法であって、前記半導体装置は、前記パッド開口部が達している配線層より下のレベルに形成された配線層を含み、前記パッド開口部は、前記パッド開口部が達している配線層より下のレベルの配線層が、平面的にみて該パッド開口部の領域外において配置されるように、形成される。

【0014】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0015】[半導体装置] 図1は、半導体装置を模式的に示す平面図である。図2(a)は、図1の領域A1を拡大した図である。図2(b)は、図2(a)にお

けるA-A線に沿った断面を模式的に示す断面図である。

【0016】まず、半導体装置1000の平面構造を説明する。半導体装置1000は、図1に示すように、能動部100と、パッド領域200とを有する。パッド領域200は、能動部100の周辺に形成されている。

【0017】次に、半導体装置1000の断面構造を説明する。能動部における半導体基板10の表面上には、半導体素子(図示せず)が形成されている。半導体素子は、たとえばMISトランジスタ、メモリトランジスタである。半導体基板10の上には、第1の層間絶縁層20が形成されている。第1の層間絶縁層20の上には、第1の配線層30が形成されている。第1の層間絶縁層20および第1の配線層30の上には、第2の層間絶縁層22が形成されている。具体的には、上方に後述の保護絶縁層50が形成されている第1の層間絶縁層20の上面を第1の領域とすると、第1の配線層30は、第1の領域の上に形成されている。また、上方に後述のパッド開口部60が形成されている第1の層間絶縁層20の上面を第2の領域とすると、第2の領域の上には、第2の層間絶縁層22が形成されている。第2の層間絶縁層22において、第1の配線層30と第2の配線層32とを電気的に接続するための第1のプラグ70が形成されている。

【0018】第2の層間絶縁層22および第1のプラグ70の上には、第2の配線層32が形成されている。第2の層間絶縁層22および第2の配線層32の上には、第3の層間絶縁層24が形成されている。具体的には、上方に後述の保護絶縁層50が形成されている第2の層間絶縁層22の上面を第3の領域とすると、第2の配線層32は、第3の領域の上に形成されている。また、上方に後述のパッド開口部60が形成されている第2の層間絶縁層22の上面を第4の領域とすると、第4の領域の上には、第3の層間絶縁層24が形成されている。

【0019】第3の層間絶縁層24の上には、第3の配線層40が形成されている。第3の配線層40の厚さは、第1および第2の配線層30, 32より厚いことが好ましい。第3の層間絶縁層24において、第3の配線層40と第2の配線層32とを電気的に接続するための第2のプラグ72が形成されている。

【0020】第3の層間絶縁層24およびプラグ配線層40の上において、保護絶縁層50が形成されている。保護絶縁層50において、パッド開口部60が形成されている。パッド開口部60は、第3の配線層40の上面に達している。パッド開口部60の幅は、たとえば30～150μmである。パッド開口部60の平面の面積は、たとえば30×30～150×150μm²である。このパッド開口部60において、外部と第3の配線層40とを電気的に接続するために、たとえばワイヤボンディングがなされる。

【0021】次に、本実施の形態における特徴点を説明する。第3の配線層40の下のレベルにおいて形成された、第1および第2の配線層30, 32は、平面的にみてパッド開口部60の領域外において形成されている。つまり、パッド開口部60の下方の領域において、第1および第2の配線層30, 32が形成されていない。このため、たとえばワイヤボンディングの際に、第3の配線層40に衝撃が加わっても、その衝撃を層間絶縁層20, 22, 24のみで受けることができる。その結果、第3の配線層40の下の層間絶縁層20, 22, 24においてクラックが生じるのを抑えることができる。また、配線層と層間絶縁層との界面において、膜はがれが生じるのを抑えることができる。

【0022】[半導体装置の製造方法] 以下、図2を参照して、実施の形態に係る半導体装置の製造方法を説明する。

【0023】まず、半導体基板10の上に、半導体素子(たとえばMISトランジスタ、メモリトランジスタ)を形成する。次に、公知の方法により、酸化シリコンからなる第1の層間絶縁層20を形成する。第1の層間絶縁層20は、必要に応じて、化学的機械的研磨法(CMP法)により、平坦化される。

【0024】次に、第1の層間絶縁層20の上に、第1の配線層30を形成する。第1の配線層30は、公知の方法により導電層(たとえばアルミニウム層、アルミニウムと銅との合金層)を形成し、その導電層をパターニングすることにより形成される。第1の配線層30は、パッド開口部60が形成される領域以外の領域に形成されるようになる。

【0025】次に、第1の配線層30および第1の層間絶縁層20の上において、公知の方法により、酸化シリコンからなる第2の層間絶縁層22を形成する。第2の層間絶縁層22は、必要に応じて、CMP法により平坦化される。次に、第2の層間絶縁層22において、第1の配線層30に達するスルーホール22aを形成する。スルーホール22aの幅は、たとえば0.2~0.5μmである。スルーホール22aの平面の面積は、たとえば0.2×0.2~0.5×0.5μm²である。次に、スルーホール22a内に、第1のプラグ70を形成する。第1のプラグ70は、タングステン層を全面に形成し、そのタングステン層をエッチバックすることにより形成される。

【0026】次に、第1のプラグ70および第2の層間絶縁層22の上に、第2の配線層32を形成する。第2の配線層32は、公知の方法により導電層(たとえばアルミニウム層、アルミニウムと銅との合金層)を形成し、その導電層をパターニングすることにより形成される。第2の配線層32は、パッド開口部60が形成される領域以外の領域に形成されるようになる。

【0027】次に、第2の層間絶縁層22および第2の

配線層32の上に、公知の方法により、酸化シリコンからなる第3の層間絶縁層24を形成する。第3の層間絶縁層24は、必要に応じて、CMP法により平坦化される。次に、第3の層間絶縁層24において、第2の配線層32に達するスルーホール24aを形成する。スルーホール24aの幅は、たとえば0.2~0.5μmである。スルーホール24aの平面の面積は、たとえば0.2×0.2~0.5×0.5μm²である。次に、スルーホール24a内に、第2のプラグ72を形成する。第2のプラグ72は、タングステン層を全面に形成し、そのタングステン層をエッチバックすることにより形成される。

【0028】次に、第3の層間絶縁層24および第2のプラグ72の上に、第3の配線層40を形成する。第3の配線層40は、公知の方法により導電層(たとえばアルミニウム層、アルミニウムと銅との合金層)を形成し、その導電層をパターニングすることにより形成される。

【0029】次に、第3の配線層40の上に、公知の方法により、保護絶縁層(たとえば酸化シリコン層)50を形成する。次に、リソグラフィ技術を利用して、保護絶縁層40を選択的にエッチングすることにより、第3の配線層40に達するパッド開口部60を形成する。パッド開口部60は、第1および第2の配線層30, 32が平面的にみてパッド開口部60の領域外において配置されるように、形成される。

【0030】(作用効果) 本実施の形態に係る半導体装置の製造方法の作用効果を説明する。

【0031】本実施の形態においては、第1および第2の配線層30, 32をパッド開口部60の領域外において形成されるようにしている。このため、パッド開口部60の下方の領域において、第1および第2の配線層30, 32が形成されていない。その結果、ボンディングの際にかかる応力は、第1~第3の層間絶縁層20, 22, 24のみで受けることができる。このため、第1~第3の層間絶縁層20, 22, 24においてクラックが生じるのを抑えることができる。また、層間絶縁層と配線層との界面において、膜はがれが生じるのを抑えることができる。

【0032】[変形例] 本実施の形態は、次の変形が可能である。

【0033】(1) 上記の実施の形態においては、第3の配線層40は、1層であった。しかし、図3に示すように、第3の配線層140は、2層構造であってもよい。具体的には、第3の配線層140は、次の構成を有することができる。第3の配線層140は、下部配線層140aと上部配線層140bとを有する。下部配線層140aの上に絶縁層80が設けられ、その絶縁層80において貫通孔82が設けられている。上部配線層140bは、貫通孔80を充填するようにして形成され、か

つ、絶縁層80の上にも形成されている。

【0034】なお、第3の配線層140は、3層以上からなってもよい。

【0035】(2) 第2の配線層32と第3の配線層40とを電気的に接続するための第2のプラグ72における構成は、次の構成であることもできる。図4に示すように、第2のプラグ72と第3の層間絶縁層24との間において、チタン膜90および窒化チタン膜92が介在していてもよい。チタン膜90の厚さは、たとえば10～20nmである。窒化チタン膜92の厚さは、たとえば20～80nmである。

【0036】チタン膜90と窒化チタン膜92と第2のプラグ72とは、たとえば次のようにして形成することができる。まず、図5に示すように、第2の層間絶縁層24において、第2の配線層32に達するスルーホール24aを形成する。次に、全面に、チタン膜90および窒化チタン膜92とを順次堆積する。次に、図6に示すように、タングステン層72aを堆積する。次に、図6に示すように、タングステン層72aを平坦化し、第2のプラグ72を形成する。次に、第2の層間絶縁層24の上に形成された、チタン膜90および窒化チタン膜92とを除去する。チタン膜90および窒化チタン膜92の除去方法は、たとえば、CMP法により研磨して除去する方法、リソグラフィ技術を利用して選択的にエッチング除去する方法を挙げることができる。

【0037】(3) 第1のプラグ70は、変形例(2)における第2のプラグ72と同様の構成をとることができる。

【0038】(4) 変形例(2)において、図7に示すように、チタン膜90および窒化チタン膜92を除去することなく、チタン膜90および窒化チタン膜92を、第2の層間絶縁層24と第3の配線層40との間に介在させててもよい。

【0039】(5) 第3の配線層40の上に、反射防止膜を形成してもよい。なお、反射防止膜を形成した場合には、ボンディングボールと第3の配線層40との密着性を向上させる観点から、パッド開口部60における反射防止膜を除去することが好ましい。反射防止膜は、たとえば、窒化チタン膜からなる。窒化チタン膜の厚さは、たとえば20～80nmである。

【0040】(6) 上記実施の形態においては、第3の配線層40の下の配線層は、第1の配線層および第2の配線層であり、2層であった。しかし、第3の配線層40の下の配線層は、1層であってもよく、または、3層以上であってもよい。

【0041】(7) 第1のプラグ70は、図8に示すように、千鳥状に形成することができる。また、第2のプラグ72も、図8に示すように、千鳥状に形成することができる。第2のプラグ72は、第1のプラグと平面的にみて重ならないように、形成することができる。

【0042】図2(b)及び図8のように、第1の配線層30と第2の配線層32とを、複数の第1のプラグ70を介して接続することで、仮に複数の第1のプラグ70のいずれかが非導電状態となった場合でも、他の第1のプラグ70を介して確実に第1と第2の配線層を電気的に接続することができる。また、複数のプラグ70にすることで、エレクトロマイグレーション耐性を良好にすることができる。第2のプラグ72を複数設けた場合についても、複数の第1のプラグ70と同じく、第2の配線層32と第3の配線層40との電気的接続の信頼性を高め、エレクトロマイグレーションを良好にすることができます。

【0043】また、第2のプラグ72を第1のプラグ70と平面的にみて重ならないように配置することで、第1と第2のプラグ間の電気抵抗を下げることができる。

【0044】本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図1】実施の形態に係る半導体装置を模式的に示す平面図である。

【図2】(a)は図1のA10の領域を拡大した平面図であり、(b)は(a)のA-A線に沿った断面を模式的に示す断面図である。

【図3】変形例に係る半導体装置を模式的に示す断面図である。

【図4】プラグの変形例を模式的に示す断面図である。

【図5】変形例に係るプラグの形成工程を模式的に示す断面図である。

【図6】変形例に係るプラグの形成工程を模式的に示す断面図である。

【図7】変形例に係る半導体装置の一部を模式的に示す断面図である。

【図8】第1のプラグと第2のプラグとの平面パターンを示す平面図である。

【図9】(a)は従来例に係る半導体装置を模式的に示す平面図であり、(b)は(a)のB-B線に沿った断面を模式的に示す断面図である。

【図10】従来例に係る半導体装置の問題点を模式的に示す図である。

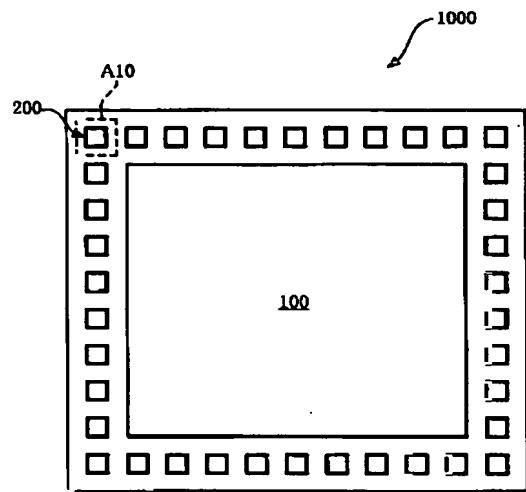
【符号の説明】

10	半導体基板
20	第1の層間絶縁層
22	第2の層間絶縁層
24	第3の層間絶縁層
30	第1の配線層
32	第2の配線層
40	第3の配線層
50	保護絶縁層
60	パッド開口部

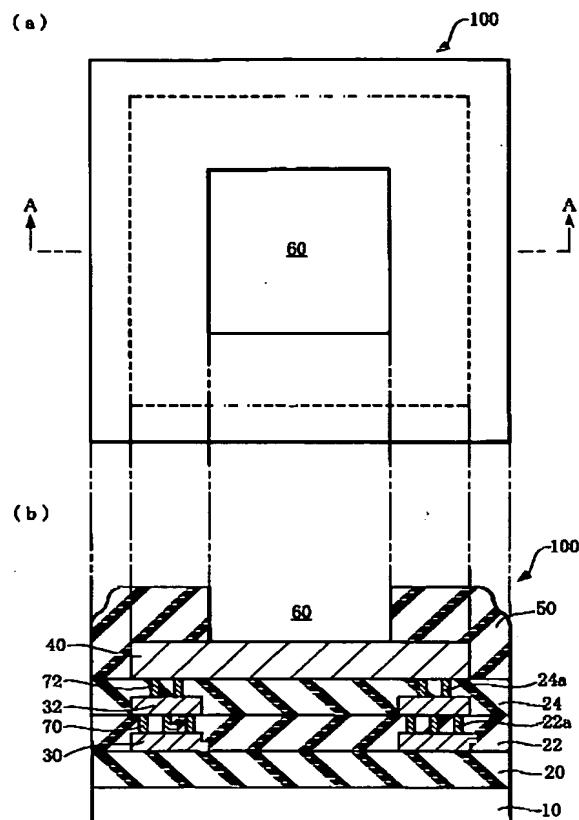
70 第1のプラグ
72 第2のプラグ
80 絶縁層
82 貫通孔
90 チタン膜

92 窒化チタン膜
100 パッド領域
200 能動部
1000 半導体装置

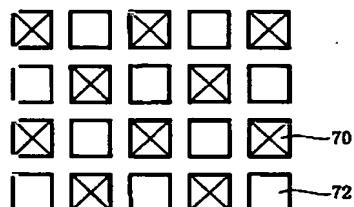
【図1】



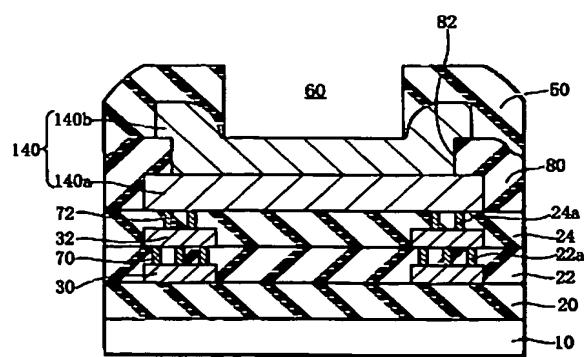
【図2】



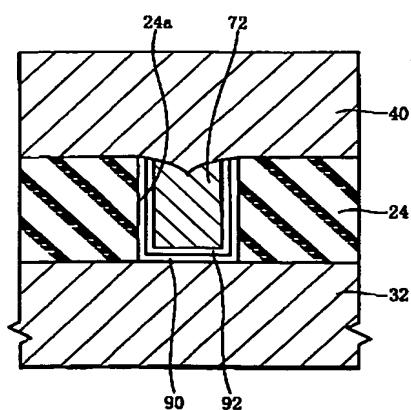
【図8】



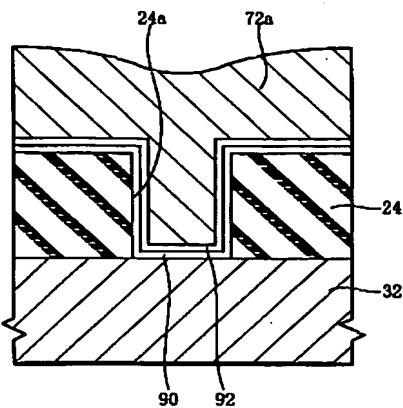
【図3】



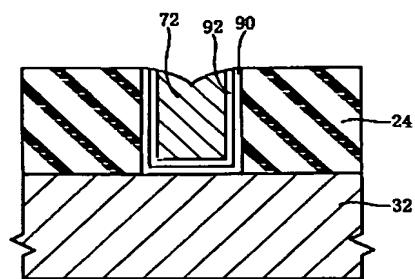
【図4】



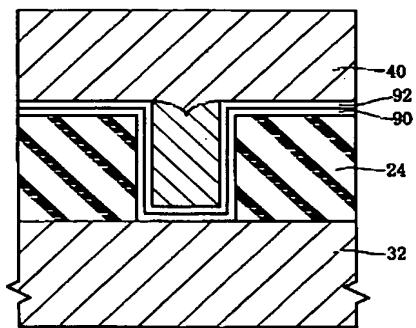
【図5】



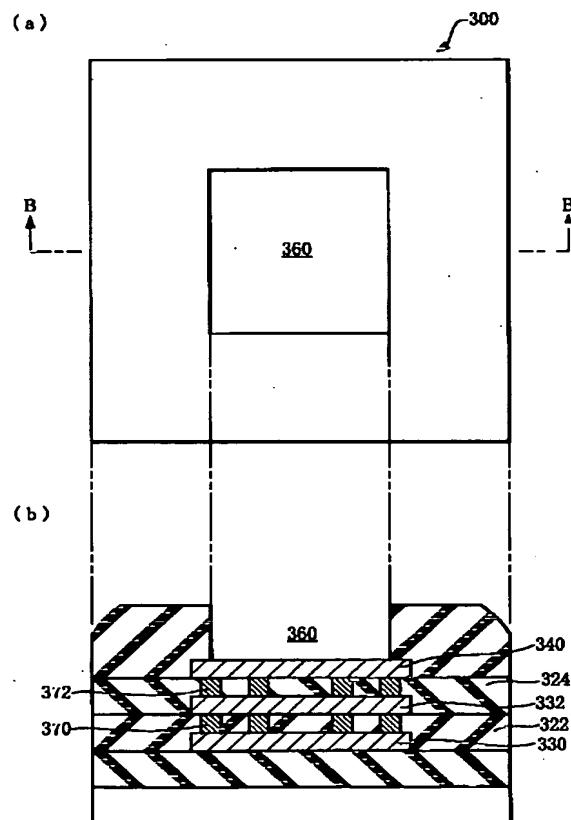
【図6】



【図7】



【図9】



【図10】

